

UTILITY MODEL KOKAI PUBLICATION (U)

No. Hei 1-162922

November 14, 1989

Int. Cl⁴:

H 03 F 1/52

Title of the Device:

PROTECTION CIRCUIT FOR OPERATIONAL AMPLIFIER

Application No.: Sho 63-60271
Filing Date: May 7, 1988
Applicant: Yokogawa Electric Corporation
Creator of Device: N. Yamashita
Creator of Device: T. Odohira
Creator of Device: M. Kimura
Agent: S. Ozawa, Patent Attorney

[CLAIM OF UTILITY MODEL REGISTRATION]

A protection circuit for an operational amplifier, characterized by comprising a first limiting resistor connected to an output terminal of an operational amplifier; a second limiting resistor connected in series to the first limiting resistor and a circuit output terminal; a diode connected to the connecting point between the first limiting resistor and the second limiting resistor for limiting the voltage of the output terminal of the operational amplifier; a feedback resistor connected between the circuit output terminal and an inverting input terminal of the operational amplifier; and an input resistor, one terminal of which is connected to the inverting input terminal and to the other terminal of which is applied input signals.

[BRIEF DESCRIPTION OF THE DRAWINGS]

Fig. 1 is a circuit diagram showing the configuration of an embodiment according to the present device;

Fig. 2 is a circuit diagram showing the circuit configuration of a first conventional operational

amplifier;

Fig. 3 is a circuit diagram showing the circuit configuration of a second conventional operational amplifier;

Fig. 4 is a partial circuit diagram showing a first configuration of an output stage of an operational amplifier shown in Fig. 3; and

Fig. 5 is a partial circuit diagram showing a second configuration of an output stage of an operational amplifier shown in Fig. 3.

Q_1	Operational amplifier
Q_2 to Q_4	Transistors
R_1	Input resistor
R_f	Feedback resistor
D_z	Zener diode
V_{cc}	Power supply voltage
E_L	Circuit voltage

⑫ 公開実用新案公報 (U) 平 1-162922

⑬ Int. Cl.
H 03 F 1/32

識別記号 庁内整理番号
Z-6707-5 J

⑭ 公開 平成 1 年 (1989) 11 月 14 日

審査請求 未請求 請求項の数 1 (全 2 頁)

⑮ 考案の名称 演算増幅器の保護回路

⑯ 実 願 昭 63-60271

⑰ 出 願 昭 63 (1988) 5 月 7 日

⑱ 考 案 者 山 下 信 行 東京都武蔵野市中町 2 丁目 9 番 32 号 横河電機株式会社内
⑲ 考 案 者 尾 土 平 徹 東京都武蔵野市中町 2 丁目 9 番 32 号 横河電機株式会社内
⑲ 考 案 者 木 村 惇 東京都武蔵野市中町 2 丁目 9 番 32 号 横河電機株式会社内
⑳ 出 願 人 横 河 電 機 株 式 有 限 公 司 東京都武蔵野市中町 2 丁目 9 番 32 号
㉑ 代 理 人 弁 理 士 小 沢 信 助

㉒ 実用新案登録請求の範囲

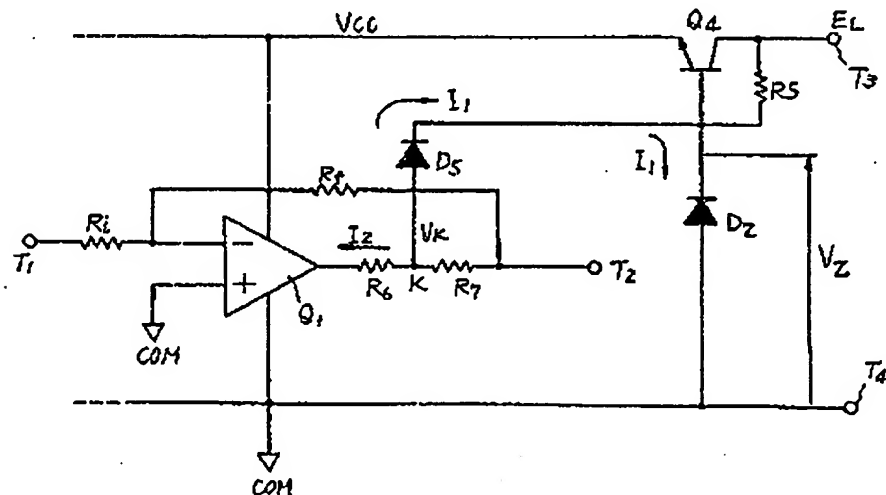
演算増幅器の出力端に接続された第 1 制限抵抗と、この第 1 制限抵抗と回路出力端とに直列に接続された第 2 制限抵抗と、この第 1 制限抵抗と第 2 制限抵抗との接続点に接続されて演算増幅器の出力端の電圧を制限するダイオードと、前記回路出力端と前記演算増幅器の反転入力端との間に接続された帰還抵抗と、一端がこの反転入力端に接続され他端に入力信号が印加される入力抵抗とを具備することを特徴とする演算増幅器の保護回路。

図面の簡単な説明

第 1 図は本考案の 1 実施例の構成を示す回路図、第 2 図は従来の第 1 の演算増幅器の回路構成を示す回路図、第 3 図は従来の第 2 の演算増幅器の回路構成を示す回路図、第 4 図は第 3 図に示す演算増幅器の出力段の第 1 の構成を示す部分回路図、第 5 図は第 3 図に示す演算増幅器の出力段の第 2 の構成を示す部分回路図である。

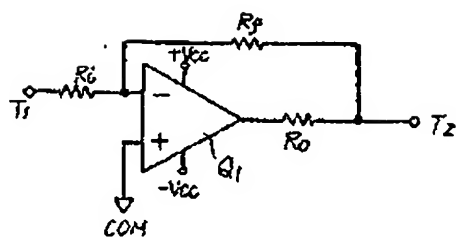
Q_1 …演算増幅器、 $Q_2 \sim Q_4$ …トランジスタ、 R_i …入力抵抗、 R_f …帰還抵抗、 D_1 …ツェナーダイオード、 V_{cc} …電源電圧、 E_L …回路電圧。

第 1 図

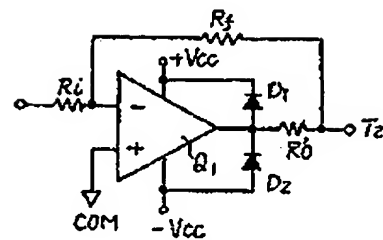


実開 平1-162922(2)

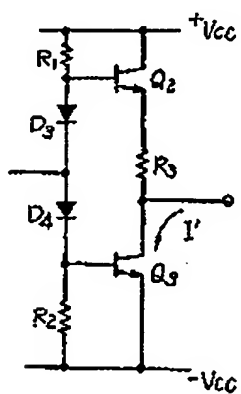
第 2 図



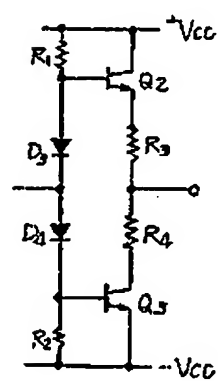
第 3 図



第 4 図



第 5 図



公開実用平成 1-162922

⑨ 日本国特許庁(JP)

⑩ 実用新案出願公開

⑫ 公開実用新案公報(U) 平1-162922

⑮ Int. Cl. 4

識別記号

庁内整理番号

⑬ 公開 平成1年(1989)11月14日

H 03 F 1/52

Z-6707-5J

審査請求 未請求 請求項の数 1 (全 頁)

⑭ 考案の名称 演算増幅器の保護回路

⑯ 実 願 昭63-60271

⑰ 出 願 昭63(1988)5月7日

⑱ 考 案 者	山 下 信 行	東京都武蔵野市中町2丁目9番32号	横河電機株式会社内
⑲ 考 案 者	尾 土 平 澈	東京都武蔵野市中町2丁目9番32号	横河電機株式会社内
⑳ 考 案 者	木 村 惇	東京都武蔵野市中町2丁目9番32号	横河電機株式会社内
㉑ 出 願 人	横河電機株式会社	東京都武蔵野市中町2丁目9番32号	
㉒ 代 理 人	弁理士 小沢 信助		

明 細 書

1. 考案の名称

演算増幅器の保護回路

2. 実用新案登録請求の範囲

演算増幅器の出力端に接続された第1制限抵抗と、この第1制限抵抗と回路出力端とに直列に接続された第2制限抵抗と、この第1制限抵抗と第2制限抵抗との接続点に接続されて演算増幅器の出力端の電圧を制限するダイオードと、前記回路出力端と前記演算増幅器の反転入力端との間に接続された帰還抵抗と、一端がこの反転入力端に接続され他端に入力信号が印加される入力抵抗とを具備することを特徴とする演算増幅器の保護回路。

3. 考案の詳細な説明

<産業上の利用分野>

本考案は、演算増幅器の保護回路に係り、特にこの演算増幅器に使用する電源電圧以上の電圧を有する回路電源が混在する回路に使用する場合に、この回路電源がこの演算増幅器の出力端に短絡することによる損傷を避けた演算増幅器の保護回路

に関する。


< 従来の技術 >

第2図は従来の演算増幅器の回路の構成を示す回路図である。

Q_1 は演算増幅器であり、その反転入力端（-）は入力抵抗 R_i を介して入力端 T_1 に接続されると共に回路出力端 T_2 に帰還抵抗 R_f を介して接続されている。また、演算増幅器 Q_1 の出力端は制限抵抗 R_o を介して回路出力端 T_2 に接続され、さらにその非反転入力端（+）は共通電位点 COM に接続されている。

このような構成によると、例えば回路出力端 T_2 が演算増幅器 Q_1 の電源電圧 $\pm V_{cc}$ より高い回路電圧 E_1 で短絡されても制限抵抗 R_o の値を大きく選定しておけば、回路電圧 E_1 により演算増幅器 Q_1 の出力端に流れる過大電流を制限抵抗 R_o により充分に制限することができる。そして、この場合にも入力端 T_1 と回路出力端 T_2 との間の増幅度を損なうこともない。

しかしながら、この場合に高い回路電圧 E_1 が



回路出力端 T_2 に短絡することにより増幅器 Q_1 が損傷を受けるのを避けるために制限抵抗 R_o の値を大きく選定すると、回路の増幅度は変更を受けないものの、回路出力端 T_2 で利用できる出力電圧、出力電流の振幅が制限される。

そこで、第3図に示すような回路保護の構成が考えられる。

第3図に示す構成は、第2図に示す構成に対して演算増幅器 Q_1 の出力端と電源端 $+V_{cc}$ との間にはダイオード D_1 が、電源端 $-V_{cc}$ との間にはダイオード D_2 がそれぞれ接続されている点が相違している。

このような構成によれば、回路出力端 T_2 が高電圧の回路電圧 E_L で短絡されると、この回路電圧 E_L により流れる電流は制限抵抗 R_o を介してダイオード D_1 、 D_2 に流れるので、ダイオード D_1 、 D_2 の導方向の電圧降下を $\pm 0.6V$ とすれば、出力電圧のレベルは $(+V_{cc} - 0.6V) \sim (-V_{cc} + 0.6V)$ にクランプされる。

従って、出力電圧の振幅は $(+V_{cc} - 0.6$

$V) \sim (-V_{cc} + 0.6V)$ の程度に制限されるだけで、制限抵抗 R_0 の値は第 1 図に示す制限抵抗 R_0 に対して小さく選定できる。

ところで、この演算増幅器 Q_1 の出力段は例えば第 4 図に示すように構成されている。

電源端 $+V_{cc}$ と $-V_{cc}$ との間に抵抗 R_1 、ダイオード D_3 、 D_4 、抵抗 R_2 がそれぞれ直列に接続され、さらにこの直列回路に並列にトランジスタ Q_2 のエミッタとコレクタ、抵抗 R_3 、トランジスタ Q_3 のエミッタとコレクタがそれぞれ直列に接続されている。

また、抵抗 R_1 とダイオード D_3 の接続点からはトランジスタ Q_2 のベースにバイアス電圧を与え、さらにダイオード D_4 と抵抗 R_2 の接続点からはトランジスタ Q_3 のベースにバイアス電圧をそれぞれ与えている。そして、演算増幅器 Q_1 の出力端はトランジスタ Q_3 のコレクタから引き出されている。このような出力段にソース電流を制限する抵抗 R_3 のみを持ちシンク電流を制限する抵抗を持たない演算増幅器として、例えばナショ

ナルセミコンダクタ製の型式LM2904などがある。

しかしながら、この様にソース電流を制限する抵抗 R_3 のみを持ち、シンク電流を制限する抵抗をトランジスタ Q_3 側に持たない演算増幅器の場合には、たとえ第3図に示すようにダイオード D_1 、 D_2 によるクランプを施しても、演算増幅器の出力端からトランジスタ Q_3 に流入する回路電圧 E_L に起因する電流 I_L によりトランジスタ Q_3 が破壊される。

そこで、第5図に示すようにシンク電流を制限する抵抗 R_4 をトランジスタ Q_3 のコレクタ側に挿入する構成の演算増幅器を第3図に示す演算増幅器 Q_1 として採用することも考えられる。

しかし、このような演算増幅器 Q_1 を採用して演算増幅器 Q_1 の出力段を保護したとしても、制限抵抗 R_4 、ダイオード D_1 、電源端 $+V_{CC}$ を介して、或いは制限抵抗 R_4 、ダイオード D_2 、電源端 $-V_{CC}$ を介して、高圧の回路電圧 E_L が回路出力端 T_2 に短絡して流入する過大電流

により演算増幅器 Q_1 に電源電圧 $\pm V_{cc}$ を供給する電源が破壊される。

＜考案が解決しようとする課題＞

そこで、本考案は、回路の中に演算増幅器の電源電圧よりも高い電圧である回路電圧が混在する場合に、この回路電圧が回路出力端に短絡しても、演算増幅器の出力振幅を制限せずに、演算増幅器も、演算増幅器の電源電圧を供給する電源をも破壊しない演算増幅器の保護回路を提供することを課題とする。

＜課題を解決するための手段＞

本考案は、以上の課題を解決するために、演算増幅器の出力端に接続された第1制限抵抗と、この第1制限抵抗と回路出力端とに直列に接続された第2制限抵抗と、この第1制限抵抗と第2制限抵抗との接続点に接続されて演算増幅器の出力端の電圧を制限するダイオードと、回路出力端と演算増幅器の反転入力端との間に接続された帰還抵抗と、一端がこの反転入力端に接続され他端に入力信号が印加される入力抵抗とを具備するように

したものである。

＜作用＞

回路出力端が高電圧で短絡された場合には、第1制限抵抗により演算増幅器の出力端に流入する短絡電流を制限し、さらにダイオードにより演算増幅器の出力電圧の振幅を制限すると共にこのダイオードに流れる短絡電流を所定の回路要素に放出し、そのうえ第2制限抵抗により演算増幅器の出力端に流入する短絡電流とダイオードに流れる短絡電流を共に制限して、演算増幅器の動作を確保する。

＜実施例＞

以下、本考案の実施例について図面に基づき説明する。第1図は本考案の1実施例の構成を示す回路図である。

端子 T_3 、 T_4 の間に回路電圧 E_1 が印加され、この回路電圧 E_1 を抵抗 R_3 とツエナーダイオード D_2 の直列回路に印加してツエナーダイオード D_2 の両端にツエナー電圧 V_2 を得ている。抵抗 R_3 の両端にはトランジスタ Q_4 のベースとコレ

クタが接続され、そのエミッタと端子 T_4 との間に演算増幅器 Q_1 の電源となる電源電圧 V_{cc} を得ている。

演算増幅器 Q_1 の反転入力端(−)には、入力端 T_1 に一端が接続された入力抵抗 R_i の他端が接続され、さらに回路出力端 T_2 との間には帰還抵抗 R_f が接続されている。演算増幅器 Q_1 の出力端と回路出力端 T_2 との間には制限抵抗 R_6 と R_7 が直列に接続されている。これ等の制限抵抗 R_6 と R_7 との接続点 K にはダイオード D_5 のアノードが、そのカソードはツエナダイオード D_2 のカソードにそれぞれ接続されている。なお、演算増幅器 Q_1 の非反転入力端(+)は共通電位点 COM に接続されている。

次に、以上のように構成された第1図に示す実施例の動作について説明する。

演算増幅器 Q_1 は入力抵抗 R_i と帰還抵抗 R_f で決まる増幅度を有している。

回路出力端 T_2 に電源電圧 V_{cc} より高い電圧である回路電圧 E_1 が接触して短絡された場合は、

接続点 K の電圧 V_K はダイオード D_5 により ($V_Z = 0.6V$) に制限される。このときにダイオード D_5 に流れる短絡電流 I_1 は過剰電圧分を吸収する制限抵抗 R_7 により制限され、その値はダイオード D_5 、ツエナーダイオード D_Z の許容損失を越えないような値に選定される。

一方、残りの演算増幅器 Q_1 の出力端に流入する短絡電流 I_2 は制限抵抗 R_6 により演算増幅器 Q_1 の許容損失を越えないように制限される。

以上の制限抵抗 R_6 、 R_7 とダイオード D_5 により、演算増幅器 Q_1 の電源電圧 V_{CC} の近くまで出力電圧の振幅を確保し、且つ演算増幅器 Q_1 の出力段の保護をしながら、電源電圧 V_{CC} より高い電圧が回路出力端 T_2 に短絡されても演算増幅器 Q_1 の動作が確保される。

< 考案の効果 >

以上、実施例と共に具体的に説明したように本考案によれば、簡単な回路構成で、演算増幅器の電源電圧よりも高い回路電源の電圧で回路出力端に短絡を起こしても、演算増幅器の安定な動作を

確保することができる。

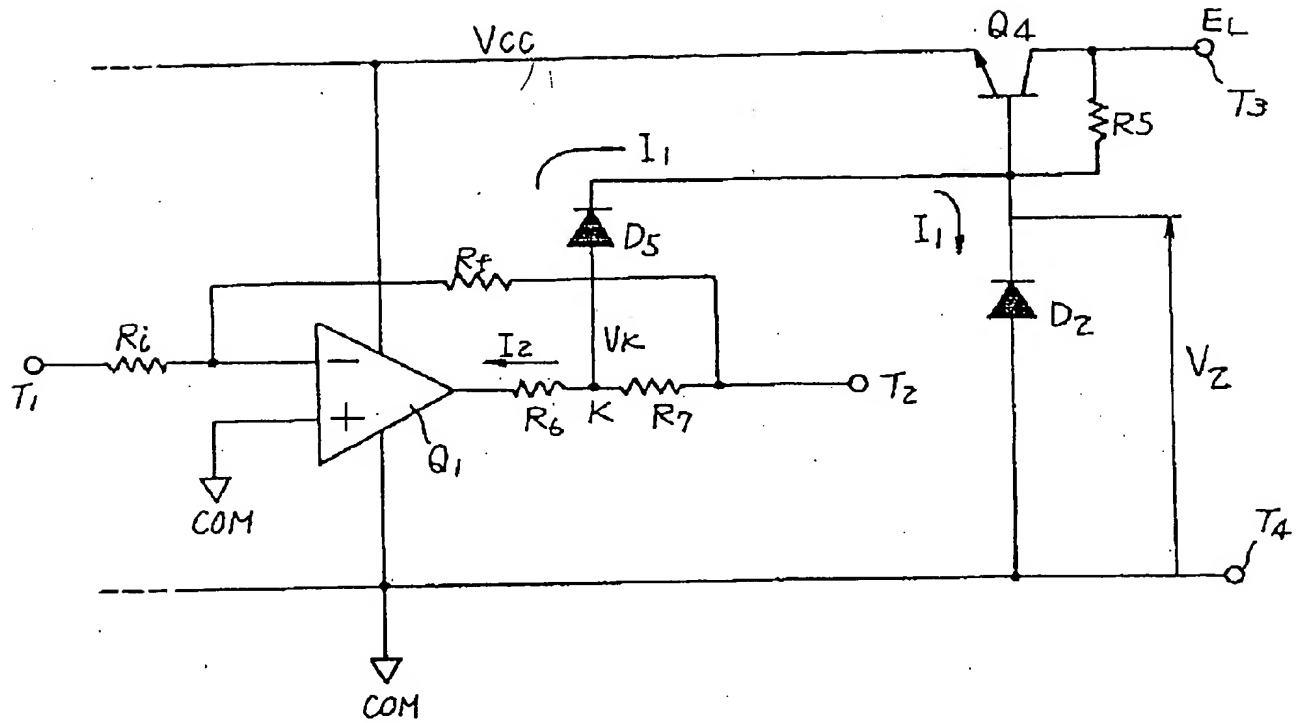
4. 図面の簡単な説明

第1図は本考案の1実施例の構成を示す回路図、第2図は従来の第1の演算増幅器の回路構成を示す回路図、第3図は従来の第2の演算増幅器の回路構成を示す回路図、第4図は第3図に示す演算増幅器の出力段の第1の構成を示す部分回路図、第5図は第3図に示す演算増幅器の出力段の第2の構成を示す部分回路図である。

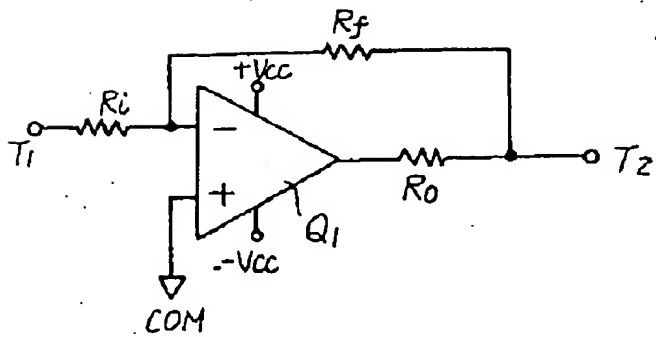
Q_1 … 演算増幅器、 $Q_2 \sim Q_4$ … トランジスタ、 R_i … 入力抵抗、 R_f … 帰還抵抗、 D_z … ツェナーダイオード、 V_{cc} … 電源電圧、 E_L … 回路電圧。

代理人 弁理士 小沢 信(助)

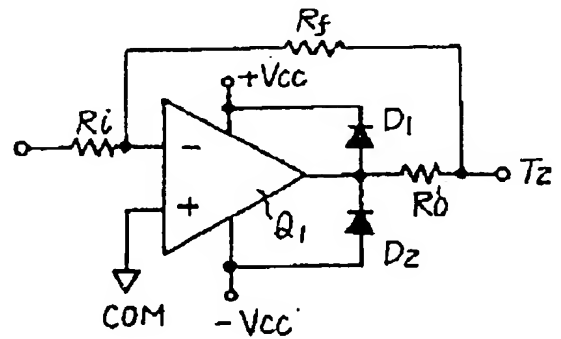
第 1 图



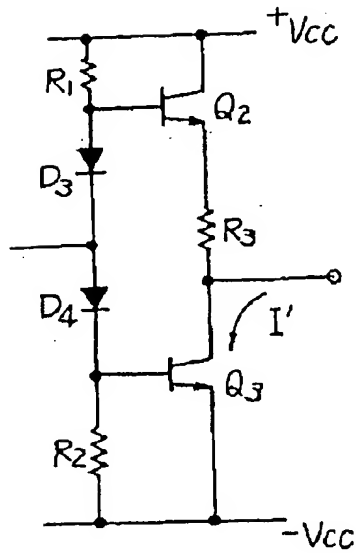
第 2 图



第 3 图



第 4 図



第 5 図

